

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Keiichi FURUYA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREEWITH

FOR: SEMICONDUCTOR DEVICE HAVING POLY-POLY CAPACITOR

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-011948

MONTH/DAY/YEAR

January 21, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

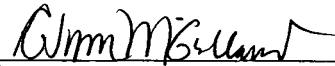
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月21日

出 願 番 号

Application Number:

特願2003-011948

[ST.10/C]:

[JP2003-011948]

出 願 人

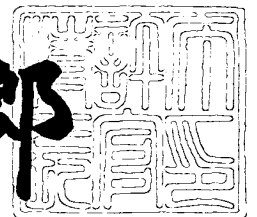
Applicant(s):

三菱電機株式会社

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007900

【書類名】 特許願

【整理番号】 541818JP01

【提出日】 平成15年 1月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ
 ステムエンジニアリング株式会社内

 【氏名】 古谷 啓一

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
 社内

 【氏名】 山本 文寿

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
 社内

 【氏名】 吉久 康樹

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板表面に形成された第 1 導電型拡散層と、
前記第 1 導電型拡散層上に形成されたゲート酸化膜と、
前記ゲート酸化膜上に形成され、第 1 導電型又は第 2 導電型のドーパントでドーピングされた第 1 ポリシリコン層とを有する MOS キャパシタと、
前記第 1 ポリシリコン層と、
前記第 1 ポリシリコン層上に形成された第 1 誘電層と、
前記第 1 誘電層上に形成され、第 1 導電型又は第 2 導電型のドーパントでドーピングされた第 2 ポリシリコン層とを有する P o l y - P o l y キャパシタとを備える半導体装置であって、
前記 P o l y - P o l y キャパシタは、前記 MOS キャパシタ上に積層され、
前記第 1 導電型拡散層と第 2 ポリシリコン層とは、同一の第 1 金属配線と電気的に接続されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、
前記第 1 導電型拡散層と、
前記第 1 導電型拡散層下に形成された第 2 導電型拡散層とを有する P N 接合キャパシタをさらに備え、
第 2 導電型のドーパントでドーピングされた前記第 1 ポリシリコン層は、前記第 2 導電型拡散層と電気的に接続されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置であって、
前記第 1 ポリシリコン層と電気的に接続している第 2 金属配線と、
前記第 2 金属配線上に形成された第 2 誘電層と、
前記第 2 誘電層上に形成され、前記第 1 金属配線と電気的に接続している第 3 金属配線とを有する M I M キャパシタをさらに備えることを特徴とする半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置であって、
前記第 1 導電型拡散層下には、第 2 導電型拡散層が形成され、

前記第 1 導電型拡散層及び前記第 2 導電型拡散層を素子領域ごとに分離するトレンチ分離酸化膜と、

前記トレンチ分離酸化膜の両側壁に形成され、一部が前記第 1 導電型拡散層と接する第 1 導電型トレンチ側壁拡散層とを有するトレンチ分離酸化膜キャパシタをさらに備え、

前記トレンチ分離酸化膜を介して前記 MOS キャパシタが形成された素子と隣接する素子の前記第 1 導電型拡散層と前記第 1 ポリシリコン層とを前記第 2 金属配線により電氣的に接続していることを特徴とする半導体装置。

【請求項 5】 スパイラル形状の第 1 ポリシリコン電極と、

前記第 1 ポリシリコン電極の形状に沿って平行に形成されるスパイラル形状の第 2 ポリシリコン電極と、

前記第 1 ポリシリコン電極と前記第 2 ポリシリコン電極との間に挟まれた第 3 誘電層とを有する第 1 P o l y - P o l y キャパシタ、
を備える半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置であって、

前記第 3 誘電層は、半導体基板上に形成される層間絶縁膜よりも高い誘電率を有することを特徴とする半導体装置。

【請求項 7】 請求項 5 に記載の半導体装置であって、

スパイラル形状の第 3 ポリシリコン電極と、

前記第 3 ポリシリコン電極の形状に沿って平行に形成されるスパイラル形状の第 4 ポリシリコン電極と、

前記第 3 ポリシリコン電極と前記第 4 ポリシリコン電極との間に挟まれた第 4 誘電層とを有する第 2 P o l y - P o l y キャパシタをさらに備え、

前記第 1 ポリシリコン電極上に前記第 4 ポリシリコン電極が、前記第 2 ポリシリコン電極上に前記第 3 ポリシリコン電極が位置するように、前記第 2 P o l y - P o l y キャパシタが第 5 誘電層を介して前記第 1 P o l y - P o l y キャパシタ上に配置され、

前記第 1 ポリシリコン電極と前記第 3 ポリシリコン電極とを、前記第 2 ポリシリコン電極と前記第 4 ポリシリコン電極とをそれぞれ電氣的に接続すること特徴

とする半導体装置。

【請求項 8】 請求項 7 に記載の半導体装置であって、

前記第 1 ポリシリコン電極と前記第 3 ポリシリコン電極とを、前記第 2 ポリシリコン電極と前記第 4 ポリシリコン電極とをそれぞれ直接接続すること特徴とする半導体装置。

【請求項 9】 請求項 7 に記載の半導体装置であって、

前記第 3 誘電層、前記第 4 誘電層及び前記第 5 誘電層は、半導体基板上に形成される層間絶縁層よりも高い誘電率を有することを特徴とする半導体装置。

【請求項 10】 請求項 7 乃至請求項 9 のいずれかに記載の半導体装置であって、

前記第 1 ポリシリコン電極及び前記第 2 ポリシリコン電極と、

前記第 1 ポリシリコン電極及び前記第 2 ポリシリコン電極下に形成されるゲート酸化膜と、

前記ゲート酸化膜下に形成される第 1 導電型又は第 2 導電型の拡散層とを有する MOS キャパシタをさらに備え、

前記第 4 ポリシリコン電極と前記拡散層とは、同一の金属配線と電氣的に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係る発明であって、特に、大容量キャパシタを有し、過度の微細加工を不要とする半導体装置に関するものである。

【0002】

【従来の技術】

従来の半導体装置においてキャパシタ素子は、MOS キャパシタやポリシリコン電極間に構成されるキャパシタ（以下、Poly-Poly キャパシタという）などで形成していた。ここで、Poly-Poly キャパシタは MOS キャパシタに比べ、V-C 特性において直線性が良い。そのため、Poly-Poly キャパシタは、MOS キャパシタに比べ高精度のキャパシタ素子である。しかし

、P o l y - P o l y キャパシタの構造は、下部電極のポリシリコン層と上部電極のポリシリコン層とで誘電層を挟む構造である。そのため、P o l y - P o l y キャパシタには、必ず2層のポリシリコン層を形成しなければならず、製造プロセスを増加させる問題があった。

【0 0 0 3】

近年、機器の小型化に伴い、それに載せる半導体装置のチップ面積も縮小される傾向にある。また、コスト削減の面からも半導体装置のチップ面積は縮小される傾向である。チップ面積の縮小に伴い、キャパシタ素子を形成する面積も縮小される。そのため、縮小された面積で従来と同様の容量を維持するためには、キャパシタ素子のキャパシタンス密度を上げる必要がある。その解決策の1つとして、M O S キャパシタとP o l y - P o l y キャパシタの積層キャパシタがある。このM O S キャパシタとP o l y - P o l y キャパシタの積層キャパシタは、半導体基板に形成された高拡散層上にゲート酸化膜と第1ポリシリコン層とを積層してM O S キャパシタを形成し、第1ポリシリコン層上に誘電層と第2ポリシリコン層を積層してP o l y - P o l y キャパシタを形成した構造である。

【0 0 0 4】

このM O S キャパシタとP o l y - P o l y キャパシタの積層キャパシタは、第1ポリシリコン層をM O S キャパシタとP o l y - P o l y キャパシタとで共通に利用しているため、製造プロセスを低減ができ、且つキャパシタンス密度を上げることができる。このM O S キャパシタとP o l y - P o l y キャパシタの積層キャパシタの詳細な構造や製造方法については、特許文献1に記載されている。

【0 0 0 5】

【特許文献1】

特開2 0 0 2 - 9 1 6 3 号公報（第4 - 6 頁、第1 - 4 図）

【0 0 0 6】

【発明が解決しようとする課題】

従来の技術で示したM O S キャパシタとP o l y - P o l y キャパシタの積層キャパシタは、製造プロセスを低減ができ、且つキャパシタンス密度を上げるこ

とができる。しかし、MOSキャパシタとPoly-Polyキャパシタの積層キャパシタは、高拡散層、第1ポリシリコン層及び第2ポリシリコン層の3つの電極を有しているため、それぞれの電極と接続するための配線を形成しなくてはならない。これらの配線は、狭い領域に配線されるため、それぞれの配線の幅やピッチも狭くなる。よって、これらの配線を形成するためには、過度の微細加工をする必要があるため、製造が困難であったり、コストがかかったりする問題があった。

【0007】

また、MOSキャパシタとPoly-Polyキャパシタの積層キャパシタで、さらにキャパシタンス密度を上げるためには、誘電層の材料をより誘電率の高い材料にするか、Poly-Polyキャパシタをさらに積層する方法が考えられる。しかし、これらの方法では、製造プロセスが増加したり、製造コストが高くなったりする問題があった。

【0008】

そこで、本発明は、MOSキャパシタとPoly-Polyキャパシタの積層キャパシタを備える半導体装置において、過度の微細加工が不要な構造の半導体装置を提供することを目的とする。また、製造プロセスや製造コストの増加を抑え、キャパシタンス密度を上げることができる半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明に係る解決手段は、基板表面に形成された第1導電型拡散層と、第1導電型拡散層上に形成されたゲート酸化膜と、ゲート酸化膜上に形成され、第1導電型又は第2導電型のドーパントでドーピングされた第1ポリシリコン層とを有するMOSキャパシタと、第1ポリシリコン層と、第1ポリシリコン層上に形成された第1誘電層と、第1誘電層上に形成され、第1導電型又は第2導電型のドーパントでドーピングされた第2ポリシリコン層とを有するPoly-Polyキャパシタとを備える半導体装置であって、Poly-Polyキャパシタは、MOSキャパシタ上に積層され、前記第1導電型拡散層と第2ポリシリコン層とは、同一

の第 1 金属配線と電氣的に接続されている。

【0 0 1 0】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0 0 1 1】

(実施の形態 1)

図 1 に、本実施の形態に係る半導体装置の断面図を示す。半導体基板上に N 型又は P 型ドーパントでドーブした高電導拡散層 1 が形成される（図 1 の高電導拡散層 1 は N 型ドーパントでドーブされている）。高電導拡散層 1 の表面に、高電導拡散層 1 を酸化することでゲート酸化膜 2 が形成される。さらに、ゲート酸化膜 2 上に N 型又は P 型ドーパントでドーブした第 1 ポリシリコン層 3 が形成される。以上、半導体基板上的高電導拡散層 1、ゲート酸化膜 2 及び第 1 ポリシリコン層 3 によって MOS キャパシタを構成している。

【0 0 1 2】

次に、第 1 ポリシリコン層 3 上に誘電層 4 が形成される。さらに、誘電層 4 上に N 型又は P 型ドーパントでドーブした第 2 ポリシリコン層 5 が形成される。以上、第 1 ポリシリコン層 3、誘電層 4 及び第 2 ポリシリコン層 5 によって P o l y - P o l y キャパシタを構成している。本実施の形態では、第 1 ポリシリコン層 3 を共通の電極として MOS キャパシタ上に P o l y - P o l y キャパシタを積層した構成である。なお、図 1 では、半導体基板上に素子分離のための L O C O S (L o c a l O x i d a t i o n o f S i l i c o n) 1 0 が形成されている。

【0 0 1 3】

次に、誘電層 4 及び第 2 ポリシリコン層 5 上に、絶縁層 1 1 が形成される。そして、絶縁層 1 1 上に第 1 アルミ配線 1 2 が形成され、第 1 アルミ配線 1 2 は、コンタクトホール 1 3 を介して高電導拡散層 1 及び第 2 ポリシリコン層 5 と電氣的に接続されている。つまり、高電導拡散層 1 と第 2 ポリシリコン層 5 とが、同一のコンタクトホール 1 3 によって電氣的に接続されている。また、絶縁層 1 1 上に第 2 アルミ配線 1 4 が形成され、第 2 アルミ配線 1 4 は、コンタクトホール

15を介して第1ポリシリコン層3と電氣的に接続されている。

【0014】

本実施の形態では、第1アルミ配線12がコンタクトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電氣的に接続しているため、従来のように高電導拡散層1と第2ポリシリコン層5とが別々のアルミ配線と電氣的に接続するように構成した場合に比べ、第1アルミ配線12の配置できる面積が増加する。そのため、第1アルミ配線12の配線幅を太くすることや配線間隔を広くすることができる。よって、本実施の形態では、MOSキャパシタとPoly-Polyキャパシタの積層キャパシタを備える半導体装置において、過度の微細加工が不要な構造の半導体装置を提供することができる。

【0015】

(実施の形態2)

図2に、本実施の形態に係る半導体装置の断面図を示す。半導体基板上にN型又はP型ドーパントでドーピングした拡散層20が形成される。拡散層20上に拡散層20と異なる導電型のドーパントでドーピングした高電導拡散層1が形成される(図2の拡散層20はN型ドーパントでドーピングされ、高電導拡散層1はP型ドーパントでドーピングされている)。以上、拡散層20と高電導拡散層1によってPN接合キャパシタを構成している。

【0016】

次に、高電導拡散層1の表面に、高電導拡散層1を酸化することでゲート酸化膜2が形成される。ゲート酸化膜2上に拡散層20と同じ導電型のドーパントでドーピングした第1ポリシリコン層3が形成される。以上、半導体基板上的高電導拡散層1、ゲート酸化膜2及び第1ポリシリコン層3によってMOSキャパシタを構成している。

【0017】

次に、第1ポリシリコン層3上に誘電層4が形成される。さらに、誘電層4上にN型又はP型ドーパントでドーピングした第2ポリシリコン層5が形成される。以上、第1ポリシリコン層3、誘電層4及び第2ポリシリコン層5によってPoly-Polyキャパシタを構成している。本実施の形態では、高電導拡散層1を

共通の電極としてPN接合キャパシタ上にMOSキャパシタを積層し、第1ポリシリコン層3を共通の電極としてMOSキャパシタ上にPoly-Polyキャパシタを積層した構成である。

【0018】

次に、誘電層4及び第2ポリシリコン層5上に、絶縁層11が形成される。そして、絶縁層11上に第1アルミ配線12が形成され、第1アルミ配線12は、コンタクトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電氣的に接続されている。つまり、高電導拡散層1と第2ポリシリコン層5とが、同一のコンタクトホール13によって電氣的に接続されている。また、絶縁層11上に第2アルミ配線14が形成され、第2アルミ配線14は、コンタクトホール15を介して第1ポリシリコン層3と電氣的に接続されている。さらに、半導体基板上は、LOCOS10によって素子ごとに分離おり、高電導拡散層1が形成された素子にLOCOS10を介して隣接する拡散層20上に拡散層20と同じ導電型のドーパントでドーブした高電導拡散層21が形成される（図2の高電導拡散層21はN型ドーパントでドーブされている）。この高電導拡散層21は、第1ポリシリコン層3と電氣的に接続されている。これにより、MOSキャパシタ、Poly-Polyキャパシタ及びPN接合キャパシタが並列に接続された構成となる。

【0019】

本実施の形態では、実施の形態1で示したMOSキャパシタの高電導拡散層1の下層に、高電導拡散層1と異なる導電型のドーパントでドーブした拡散層20を設けることで、高電導拡散層1と拡散層20との接合面でPN接合キャパシタを構成している。そのため、実施の形態1と同様、第1アルミ配線12の配線幅を太くすることや配線間隔を広くすることができ、過度の微細加工が不要な構造の半導体装置を提供することができる。さらに、本実施の形態では、実施の形態1の構成を生かしつつ、わずかな製造プロセスを追加するだけでPN接合キャパシタを追加でき、キャパシタンス密度を高い半導体装置を提供することができる。

【0020】

(実施の形態 3)

図 3 に、本実施の形態に係る半導体装置の断面図を示す。本実施の形態は、MOS キャパシタと P o l y - P o l y キャパシタの積層キャパシタ上に、MIM (Metal-Insulator-Metal) キャパシタを積層した構成である。そのため、図 3 において実施の形態 1 と同一の構成については、図 1 と同一の符号が付されている。

【0021】

図 3 では、半導体基板上の高電導拡散層 1、ゲート酸化膜 2 及び第 1 ポリシリコン層 3 によって MOS キャパシタを構成し、第 1 ポリシリコン層 3、誘電層 4 及び第 2 ポリシリコン層 5 によって P o l y - P o l y キャパシタを構成している。絶縁層 11 上に第 1 アルミ配線 12 が形成され、第 1 アルミ配線 12 は、コンタクトホール 13 を介して高電導拡散層 1 及び第 2 ポリシリコン層 5 と電氣的に接続されている。また、絶縁層 11 上に第 2 アルミ配線 14 が形成され、第 2 アルミ配線 14 は、コンタクトホール 15 を介して第 1 ポリシリコン層 3 と電氣的に接続されている。

【0022】

さらに、第 1 アルミ配線 12 及び第 2 アルミ配線 14 上に、絶縁層 30 が形成される。この絶縁層 30 には、第 1 アルミ配線 12 と接続するためのコンタクトホール 31 と、第 2 アルミ配線 14 と接続するためのコンタクトホール 32 とが設けられている。コンタクトホール 32 には、誘電層 33 が積層される。その後、コンタクトホール 31 及びコンタクトホール 32 上に第 3 アルミ配線 34 が積層される。コンタクトホール 32 において、第 2 アルミ配線 14 上に誘電層 33 と第 3 アルミ配線 34 とが積層された MIM キャパシタが構成されている。これにより、MOS キャパシタ、P o l y - P o l y キャパシタ及び MIM キャパシタが並列に接続された構成となる。

【0023】

本実施の形態では、実施の形態 1 で示した P o l y - P o l y キャパシタの第 1 ポリシリコン層 3 と接続された第 2 アルミ配線 14 を利用して、その上層に、誘電層 33 と第 3 アルミ配線 34 を積層することで、MIM キャパシタが構成さ

れる。そのため、実施の形態 1 と同様、第 1 アルミ配線 1 2 の配線幅を太くすることや配線間隔を広くすることができ、過度の微細加工が不要な構造の半導体装置を提供することができる。さらに、本実施の形態では、実施の形態 1 の構成を生かしつつ、わずかな製造プロセスを追加するだけで M I M キャパシタを追加でき、キャパシタンス密度を高い半導体装置を提供することができる。

【 0 0 2 4 】

(実施の形態 4)

図 4 に、本実施の形態に係る半導体装置の断面図を示す。本実施の形態は、M O S キャパシタと P o l y - P o l y キャパシタの積層キャパシタに、トレンチ酸化膜キャパシタを追加した構成である。そのため、図 4 において実施の形態 1 と同一の構成については、図 1 と同一の符号が付されている。

【 0 0 2 5 】

図 4 では、半導体基板上の高電導拡散層 1、ゲート酸化膜 2 及び第 1 ポリシリコン層 3 によって M O S キャパシタを構成し、第 1 ポリシリコン層 3、誘電層 4 及び第 2 ポリシリコン層 5 によって P o l y - P o l y キャパシタを構成している。絶縁層 1 1 上に第 1 アルミ配線 1 2 が形成され、第 1 アルミ配線 1 2 は、コンタクトホール 1 3 を介して高電導拡散層 1 及び第 2 ポリシリコン層 5 と電氣的に接続されている。

【 0 0 2 6 】

さらに、高電導拡散層 1 の下層に、高電導拡散層 1 と異なる導電型のドーパントでドーピングした拡散層 4 0 が形成される。拡散層 4 0 の下層に、埋め込み酸化膜 4 1 が形成される。そして、高電導拡散層 1 及び拡散層 4 0 は、トレンチ酸化膜層 4 2 により素子ごとに分離されている。このトレンチ酸化膜層 4 2 の両側壁には、高電導拡散層 1 と同じ導電型のドーパントでドーピングした側壁拡散層 4 3 が形成される。以上、トレンチ酸化膜層 4 2 及び側壁拡散層 4 3 によって、誘電層がトレンチ酸化膜層 4 2、両極が側壁拡散層 4 3 とするトレンチ酸化膜キャパシタを構成している。ここで、側壁拡散層 4 3 は、高電圧が印加される素子において埋め込み酸化膜 4 1 から生じる空乏化を抑制すること、及びトレンチ分離酸化膜層 4 2 に掛かる電圧を抑制することにも利用される。

【 0 0 2 7 】

絶縁層 1 1 上には、第 2 アルミ配線 1 4 が形成されている。この第 2 アルミ配線 1 4 は、コンタクトホール 1 5 を介して第 1 ポリシリコン層 3 と電氣的に接続されている。さらに、第 2 アルミ配線 1 4 は、コンタクトホール 4 4 介して高電導拡散層 1 と電氣的に接続されている。第 2 アルミ配線 1 4 と接続された高電導拡散層 1 は、P o l y - P o l y キャパシタが形成されている素子領域とトレンチ酸化膜層 4 2 を介して隣接する素子領域に形成されている。これにより、M O S キャパシタ、P o l y - P o l y キャパシタ及びトレンチ酸化膜キャパシタが並列に接続された構成となる。

【 0 0 2 8 】

本実施の形態では、実施の形態 1 で示した M O S キャパシタと P o l y - P o l y キャパシタの積層キャパシタを利用して、それとは別に、トレンチ酸化膜層 4 2 及び側壁拡散層 4 3 を設けることで、トレンチ酸化膜キャパシタが構成される。そのため、実施の形態 1 と同様、第 1 アルミ配線 1 2 の配線幅を太くすることや配線間隔を広くすることができ、過度の微細加工が不要な構造の半導体装置を提供することができる。さらに、S O I を用いた半導体装置においては、トレンチ酸化膜層 4 2 が素子形成領域を分離する製造工程で形成することができるため、新たな製造プロセスを追加する必要がない。また、S O I を用いた半導体装置においては、トレンチ酸化膜層 4 2 が高耐圧性を有するため、キャパシタンス密度が高い高電圧キャパシタを有する半導体装置を提供することができる。

【 0 0 2 9 】

(実施の形態 5)

図 5 に、本実施の形態に係る P o l y - P o l y キャパシタの平面図を示す。また、図 6 に、本実施の形態に係る P o l y - P o l y キャパシタの断面図を示す。図 6 は、図 5 の I - I 面の断面図を示す。本実施の形態に係る P o l y - P o l y キャパシタは、半導体基板を酸化することで形成した L O C O S 5 0 上に形成される。この P o l y - P o l y キャパシタは、スパイラル形状をした第 1 ポリシリコン電極 5 1、第 1 ポリシリコン電極 5 1 の形状に沿って平行にスパイラル形状をした第 2 ポリシリコン電極 5 2 及びその間に挟まれた第 1 誘電層 5 3

とで構成されている。

【 0 0 3 0 】

図 6 に示すように、層間絶縁層 5 4 中に第 1 ポリシリコン電極 5 1 及び第 2 ポリシリコン電極 5 2 を形成すれば、この層間絶縁層 5 4 が第 1 誘電層 5 3 となる。また、第 1 ポリシリコン電極 5 1 及び第 2 ポリシリコン電極 5 2 の両端には、他の配線と接続するためのコンタクトホール 5 5 がそれぞれ形成されている。なお、第 1 ポリシリコン電極 5 1 及び第 2 ポリシリコン電極 5 2 は、N 型又は P 型ドーパントでドーブされている。

【 0 0 3 1 】

本実施の形態に係るスパイラル形状の P o l y - P o l y キャパシタは、第 1 ポリシリコン電極 5 1 と第 2 ポリシリコン電極 5 2 との線間容量を利用した大容量キャパシタを形成することができる。そして、M O S トランジスタのゲートを形成するとき同時に第 1 ポリシリコン電極 5 1 及び第 2 ポリシリコン電極 5 2 を形成することができる。そのため、特に新たな製造プロセスを追加することなく、本実施の形態に係るスパイラル形状の P o l y - P o l y キャパシタを形成することができる。従って、本実施の形態では、新たな製造プロセスを追加することなく、キャパシタンス密度が高い半導体装置を提供することができる。

【 0 0 3 2 】

さらに、本実施の形態の変形例として、第 1 ポリシリコン電極 5 1 と第 2 ポリシリコン電極 5 2 との間の第 1 誘電層 5 3 を層間絶縁層 5 4 よりも高い誘電率を有する材料に変更することで、本実施の形態に係る P o l y - P o l y キャパシタは、さらにキャパシタンス密度の高い大容量キャパシタを形成することができる。これは、第 1 ポリシリコン電極 5 1 と第 2 ポリシリコン電極 5 2 との間のみ層間絶縁層 5 4 から他の誘電率の高い材料に変更するため、半導体装置内の他の素子の性能に悪影響を与えることなく、本実施の形態に係る P o l y - P o l y キャパシタのキャパシタンス密度を上げることができる。

【 0 0 3 3 】

(実施の形態 6)

図 7 に、本実施の形態に係る P o l y - P o l y キャパシタの平面図を示す。

また、図 8 及び図 9 に、本実施の形態に係る P o l y - P o l y キャパシタの断面図を示す。図 7 は、図 8 及び図 9 の I I - I I 面の断面図を示す。本実施の形態に係る P o l y - P o l y キャパシタも、半導体基板を酸化することで形成した L O C O S 5 0 上に形成される。まず、図 8 に示すスパイラル形状の P o l y - P o l y キャパシタ 7 1 (図 7 の下側) は、スパイラル形状をした第 1 ポリシリコン電極 8 1、第 1 ポリシリコン電極 8 1 の形状に沿って平行にスパイラル形状をした第 2 ポリシリコン電極 8 2 及びその間に挟まれた第 1 誘電層 8 3 とで構成されている。

【 0 0 3 4 】

次に、図 9 に示すスパイラル形状の P o l y - P o l y キャパシタ 7 2 (図 7 の上側) は、スパイラル形状をした第 3 ポリシリコン電極 9 1、第 3 ポリシリコン電極 9 1 の形状に沿って平行にスパイラル形状をした第 4 ポリシリコン電極 9 2 及びその間に挟まれた第 2 誘電層 9 3 とで構成されている。本実施の形態では、単に実施の形態 5 で示したスパイラル形状の P o l y - P o l y キャパシタを 2 段に積層しただけではなく、P o l y - P o l y キャパシタ 7 1 を下部電極、P o l y - P o l y キャパシタ 7 2 を上部電極として、その間に第 3 誘電層 7 3 を挟むことで平行電極の P o l y - P o l y キャパシタを構成している。

【 0 0 3 5 】

つまり、図 7 に示すように、第 1 ポリシリコン電極 8 1 の真上には第 4 ポリシリコン電極 9 2、第 2 ポリシリコン電極 8 2 の真上には第 3 ポリシリコン電極 9 1 が第 3 誘電層 7 3 を介して配置されている。第 1 ポリシリコン電極 8 1 の端部 8 4 と第 3 ポリシリコン電極 9 1 の端部 9 4、第 2 ポリシリコン電極 8 2 の端部 8 5 と第 4 ポリシリコン電極 9 2 の端部 9 5 とは、それぞれコンタクトホールを介して電氣的に接続されている(図示せず)。このコンタクトホールにはアルミ等の金属配線が形成される。そして、第 1 ポリシリコン電極 8 1 と第 2 ポリシリコン電極 8 2 とは、それぞれ異なる配線と接続されている(図示せず)。

【 0 0 3 6 】

なお、図 7 に示すように、第 1 ポリシリコン電極 8 1、第 2 ポリシリコン電極 8 2、第 3 ポリシリコン電極 9 1 及び第 4 ポリシリコン電極 9 2 は層間絶縁層 7

4 中に形成するため、この層間絶縁層 7 4 が第 1 誘電層 8 3、第 2 誘電層 9 3 及び第 3 誘電層 7 3 となる。また、第 1 ポリシリコン電極 8 1、第 2 ポリシリコン電極 8 2、第 3 ポリシリコン電極 9 1 及び第 4 ポリシリコン電極 9 2 は、N 型又は P 型ドーパントでドーピングされている。

【 0 0 3 7 】

本実施の形態に係る P o l y - P o l y キャパシタは、第 1 ポリシリコン電極 8 1 と第 2 ポリシリコン電極 8 2 との線間容量を利用したスパイラル形状の P o l y - P o l y キャパシタ 7 1 と、第 3 ポリシリコン電極 9 1 と第 4 ポリシリコン電極 9 2 との線間容量を利用したスパイラル形状の P o l y - P o l y キャパシタ 7 2 と、さらに P o l y - P o l y キャパシタ 7 1 を下部電極、P o l y - P o l y キャパシタ 7 2 を上部電極とする平行電極の P o l y - P o l y キャパシタとを結合した大容量キャパシタを構成している。そのため、本実施の形態に係る P o l y - P o l y キャパシタは、キャパシタンス密度を上げることができる。

【 0 0 3 8 】

また、M O S トランジスタのゲートを形成するとき同時に第 1 ポリシリコン電極 8 1、第 2 ポリシリコン電極 8 2、第 3 ポリシリコン電極 9 1 及び第 4 ポリシリコン電極 9 2 を形成することができる。そのため、特に新たな製造プロセスを追加することなく、本実施の形態に係る P o l y - P o l y キャパシタを形成することができる。従って、本実施の形態では、新たな製造プロセスを追加することなく、キャパシタンス密度が高い半導体装置を提供することができる。

【 0 0 3 9 】

さらに、本実施の形態の変形例として、第 1 誘電層 8 3、第 2 誘電層 9 3 及び第 3 誘電層 7 3 を層間絶縁層 7 4 よりも高い誘電率を有する材料に変更することで、本実施の形態に係る P o l y - P o l y キャパシタは、さらにキャパシタンス密度の高い大容量キャパシタを形成することができる。これは、第 1 誘電層 8 3、第 2 誘電層 9 3 及び第 3 誘電層 7 3 のみ層間絶縁層 7 4 から他の誘電率の高い材料に変更するため、半導体装置内の他の素子の性能に悪影響を与えることなく、本実施の形態に係る P o l y - P o l y キャパシタのキャパシタンス密度を

上げることができる。

【 0 0 4 0 】

また、本実施の形態の変形例として、端部 8 4 と端部 9 4、端部 8 5 と端部 9 5 とを、それぞれアルミ等の金属配線で電氣的に接続するのではなく、第 1 ポリシリコン電極 8 1 のポリシリコン層を直接第 3 ポリシリコン電極 9 1 に接続し、第 2 ポリシリコン電極 8 2 のポリシリコン層を直接第 4 ポリシリコン電極 9 2 に接続する。これにより、各ポリシリコン電極間を接続するためにアルミ等の金属配線の形成が不要となり、製造プロセスを削減することができる。

【 0 0 4 1 】

(実施の形態 7)

図 1 0 に、本実施の形態に係る半導体装置の断面図を示す。本実施の形態に係る半導体装置は、実施の形態 1 に示した MOS キャパシタと P o l y - P o l y キャパシタの積層キャパシタにおいて、P o l y - P o l y キャパシタ部分を実施の形態 6 に示した P o l y - P o l y キャパシタに置き換えた構成である。

【 0 0 4 2 】

つまり、半導体基板上に N 型又は P 型ドーパントでドーブした高電導拡散層 1 が形成される (図 1 0 の高電導拡散層 1 は N 型ドーパントでドーブされている)。高電導拡散層 1 の表面に、高電導拡散層 1 を酸化することでゲート酸化膜 2 が形成される。さらに、ゲート酸化膜 2 上に N 型又は P 型ドーパントでドーブした第 1 ポリシリコン層 3 が形成される。本実施の形態の第 1 ポリシリコン層 3 は、スパイラル形状をした第 1 ポリシリコン電極 1 0 1、第 1 ポリシリコン電極 1 0 1 の形状に沿って平行にスパイラル形状をした第 2 ポリシリコン電極 1 0 2 及びその間に挟まれた第 1 誘電層 1 0 3 で構成される。以上、半導体基板上の高電導拡散層 1、ゲート酸化膜 2 及び第 1 ポリシリコン層 3 によって MOS キャパシタを構成している。

【 0 0 4 3 】

次に、第 1 ポリシリコン層 3 上に誘電層 1 0 4 が形成される。さらに、誘電層 1 0 4 上に N 型又は P 型ドーパントでドーブした第 2 ポリシリコン層 5 が形成される。本実施の形態の第 2 ポリシリコン層 5 は、スパイラル形状をした第 3 ポリ

シリコン電極 1 0 5、第 3 ポリシリコン電極 1 0 5 の形状に沿って平行にスパイラル形状をした第 4 ポリシリコン電極 1 0 6 及びその間に挟まれた第 2 誘電層 1 0 7 で構成される。以上、第 1 ポリシリコン層 3、誘電層 1 0 4 及び第 2 ポリシリコン層 5 によって P o l y - P o l y キャパシタを構成している。

【 0 0 4 4 】

図 1 0 に示すように、第 1 ポリシリコン電極 1 0 1 の真上には第 4 ポリシリコン電極 1 0 4、第 2 ポリシリコン電極 1 0 2 の真上には第 3 ポリシリコン電極 1 0 5 が第 3 誘電層 1 0 4 を介して配置されている。第 1 ポリシリコン電極 1 0 1 の端部と第 3 ポリシリコン電極 1 0 5 の端部、第 2 ポリシリコン電極 1 0 2 の端部と第 4 ポリシリコン電極 1 0 6 の端部とは、それぞれコンタクトホールを介して電氣的に接続されている（図示せず）。このコンタクトホールにはアルミ等の金属配線が形成される。また、本実施の形態では、第 1 ポリシリコン層 3 を共通の電極として M O S キャパシタ上に P o l y - P o l y キャパシタを積層した構成である。なお、図 1 0 に示すように、第 1 ポリシリコン電極 1 0 1、第 2 ポリシリコン電極 1 0 2、第 3 ポリシリコン電極 1 0 5 及び第 4 ポリシリコン電極 1 0 6 は層間絶縁層 1 0 8 中に形成するため、この層間絶縁層 1 0 8 が第 1 誘電層 1 0 3、第 2 誘電層 1 0 7 及び誘電層 1 0 4 となる。

【 0 0 4 5 】

次に、層間絶縁層 1 0 8 上に第 1 アルミ配線 1 2 が形成される。第 1 アルミ配線 1 2 は、コンタクトホール 1 3 を介して高電導拡散層 1 及び第 2 ポリシリコン層 5 と電氣的に接続されている。つまり、高電導拡散層 1 と第 2 ポリシリコン層 5 とが、同一のコンタクトホール 1 3 によって電氣的に接続されている。

【 0 0 4 6 】

本実施の形態では、実施の形態 1 と同様、第 1 アルミ配線 1 2 がコンタクトホール 1 3 を介して高電導拡散層 1 及び第 2 ポリシリコン層 5 と電氣的に接続しているため、従来のように高電導拡散層 1 と第 2 ポリシリコン層 5 とが別々にアルミ配線と電氣的に接続する構成に比べて、第 1 アルミ配線 1 2 の配置できる面積が増加する。そのため、第 1 アルミ配線 1 2 の配線幅を太くすることや配線間隔を広くすることができる。

【 0 0 4 7 】

さらに、本実施の形態では、実施の形態 1 の MOS キャパシタと P o l y - P o l y キャパシタの積層キャパシタに加えて、実施の形態 5 で示したスパイラル形状の P o l y - P o l y キャパシタを第 1 ポリシリコン層 3 及び第 2 ポリシリコン層 5 に設けている。そのため、実施の形態 1 に比べて第 1 ポリシリコン電極 1 0 1 と第 2 ポリシリコン電極 1 0 2 との間に形成される線間容量分と、第 3 ポリシリコン電極 1 0 5 と第 4 ポリシリコン電極 1 0 6 との間に形成される線間容量分だけキャパシタンス密度を上げることができる。よって、本実施の形態では、新たなキャパシタを追加することなく、既存のポリシリコン層を加工するだけで、高いキャパシタ密度を有する半導体装置を提供することができる。

【 0 0 4 8 】

さらに、本実施の形態の変形例として、第 1 誘電層 1 0 3、第 2 誘電層 1 0 7 及び誘電層 1 0 4 を層間絶縁層 1 0 8 よりも高い誘電率を有する材料に変更することで、本実施の形態に係る半導体装置は、さらにキャパシタンス密度の高い大容量キャパシタを形成することができる。これは、第 1 誘電層 1 0 3、第 2 誘電層 1 0 7 及び誘電層 1 0 4 のみ層間絶縁層 1 0 8 から他の誘電率の高い材料に変更するため、半導体装置内の他の素子の性能に悪影響を与えることなく、本実施の形態に係る半導体装置のキャパシタンス密度を上げることができる。

【 0 0 4 9 】

また、本実施の形態の変形例として、第 1 ポリシリコン電極 1 0 1 の端部と第 3 ポリシリコン電極 1 0 5 の端部、第 2 ポリシリコン電極 1 0 2 の端部と第 4 ポリシリコン電極 1 0 6 の端部とを、それぞれコンタクトホールを介して電氣的に接続するのではなく、第 1 ポリシリコン電極 1 0 1 を直接第 3 ポリシリコン電極 1 0 5 に接続し、第 2 ポリシリコン電極 1 0 2 を直接第 4 ポリシリコン電極 1 0 6 に接続する。これにより、電極間を接続するためのコンタクトホールや金属配線の形成が不要となり、製造プロセスを削減することができる。

【 0 0 5 0 】

【発明の効果】

本発明に記載の半導体装置は、P o l y - P o l y キャパシタが MOS キャパ

シタ上に積層され、第1導電型拡散層と第2ポリシリコン層とが同一の第1金属配線と電氣的に接続されているので、MOSキャパシタとPoly-Polyキャパシタの積層キャパシタを備える半導体装置において、過度の微細加工が不要な構造の半導体装置を提供することができる。

【0051】

また、本発明に記載の別の半導体装置は、スパイラル形状の第1ポリシリコン電極と、第1ポリシリコン電極の形状に沿って平行に形成されるスパイラル形状の第2ポリシリコン電極と、第1ポリシリコン電極と第2ポリシリコン電極との間に挟まれた第3誘電層とを有する第1Poly-Polyキャパシタを備えるので、第1ポリシリコン電極と第2ポリシリコン電極との線間容量を利用した大容量キャパシタを形成することができる効果がある。さらに、MOSトランジスタのゲートを形成するとき同時に第1ポリシリコン電極及び第2ポリシリコン電極を形成することができるので、特に新たな製造プロセスを追加することなく、スパイラル形状のPoly-Polyキャパシタを形成することができる効果がある。

【図面の簡単な説明】

- 【図1】 本発明の実施の形態1に係る半導体装置の断面図である。
- 【図2】 本発明の実施の形態2に係る半導体装置の断面図である。
- 【図3】 本発明の実施の形態3に係る半導体装置の断面図である。
- 【図4】 本発明の実施の形態4に係る半導体装置の断面図である。
- 【図5】 本発明の実施の形態5に係るPoly-Polyキャパシタの平面図である。
- 【図6】 本発明の実施の形態5に係るPoly-Polyキャパシタの断面図である。
- 【図7】 本発明の実施の形態6に係るPoly-Polyキャパシタの断面図である。
- 【図8】 本発明の実施の形態6に係るPoly-Polyキャパシタの平面図である。
- 【図9】 本発明の実施の形態6に係るPoly-Polyキャパシタの平

面図である。

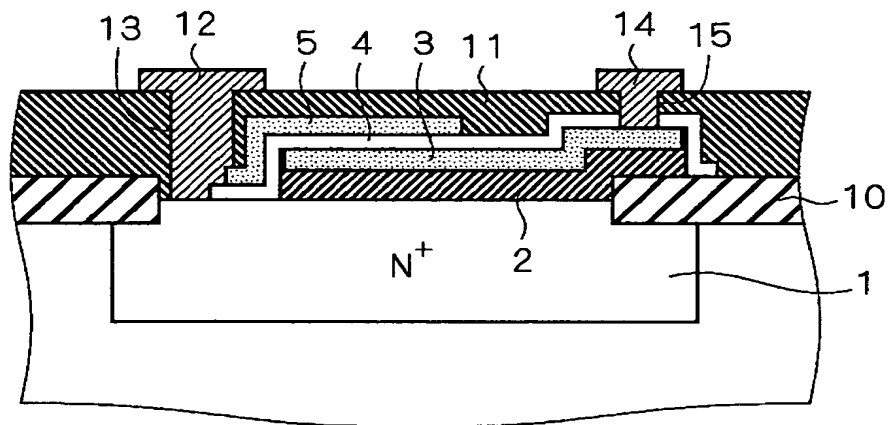
【図 1 0】 本発明の実施の形態 7 に係る半導体装置の断面図である。

【符号の説明】

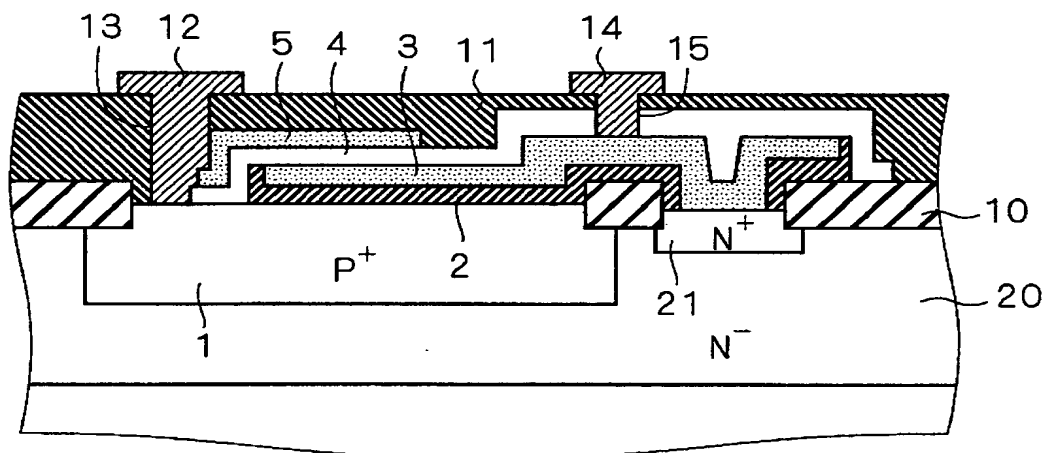
1, 2 1 高電導拡散層、2 ゲート酸化膜、3 第 1 ポリシリコン層、4, 3 3, 1 0 4 誘電層、5 第 2 ポリシリコン層、1 0, 5 0 LOCOS、1 1, 3 0 絶縁層、1 2 第 1 アルミ配線、1 3, 1 5, 3 1, 3 2, 4 4, 5 5 コンタクトホール、1 4 第 2 アルミ配線、2 0, 4 0 拡散層、3 4 第 3 アルミ配線、4 1 埋め込み酸化膜、4 2 トレンチ酸化膜層、4 3 側壁拡散層、5 4, 7 4, 1 0 8 層間絶縁層、7 1, 7 2 Poly-Poly キャパシタ、5 1, 8 1, 1 0 1 第 1 ポリシリコン電極、5 2, 8 2, 1 0 2 第 2 ポリシリコン電極、5 3, 8 3, 1 0 3 第 1 誘電層、9 1, 1 0 5 第 3 ポリシリコン電極、9 2, 1 0 6 第 4 ポリシリコン電極、9 3, 1 0 7 第 2 誘電層、7 3 第 3 誘電層、8 4, 8 5, 9 4, 9 5 端部。

【書類名】 図面

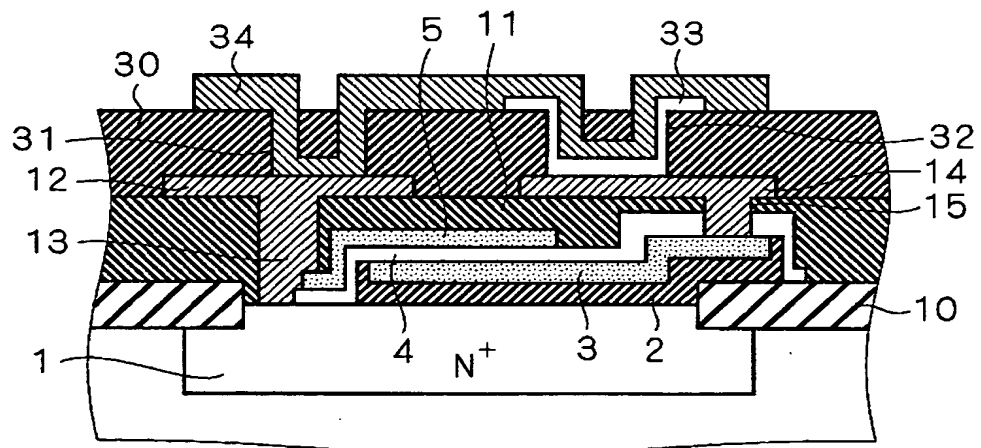
【図 1】



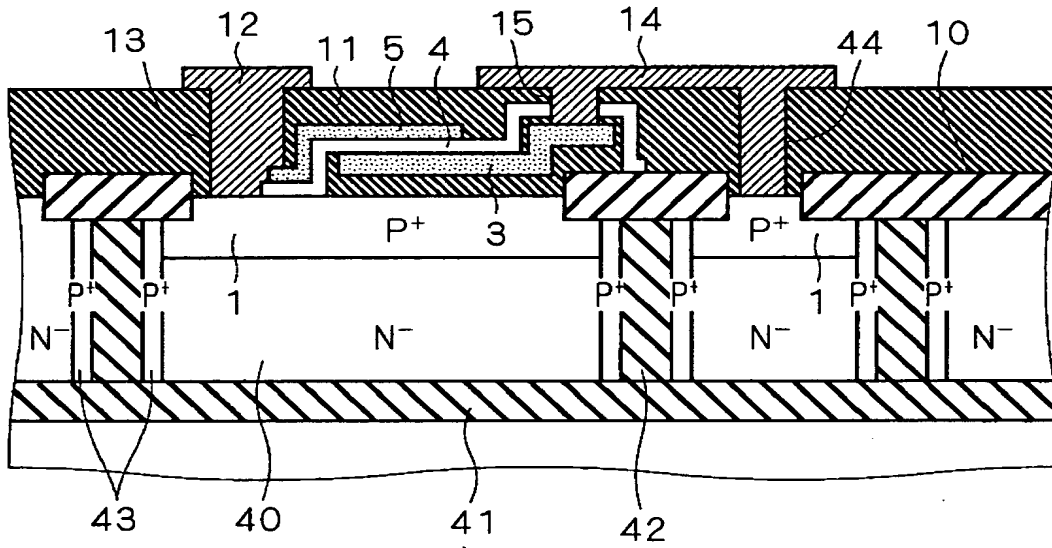
【图 2】



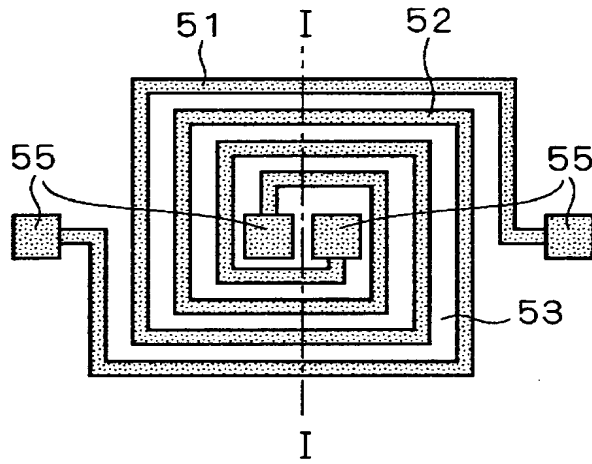
【図 3】



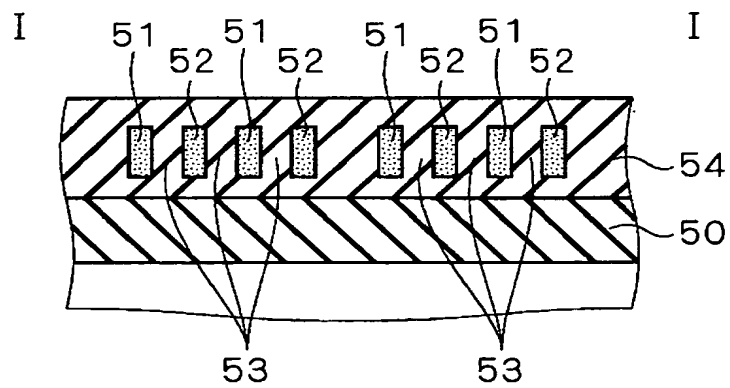
【図 4】



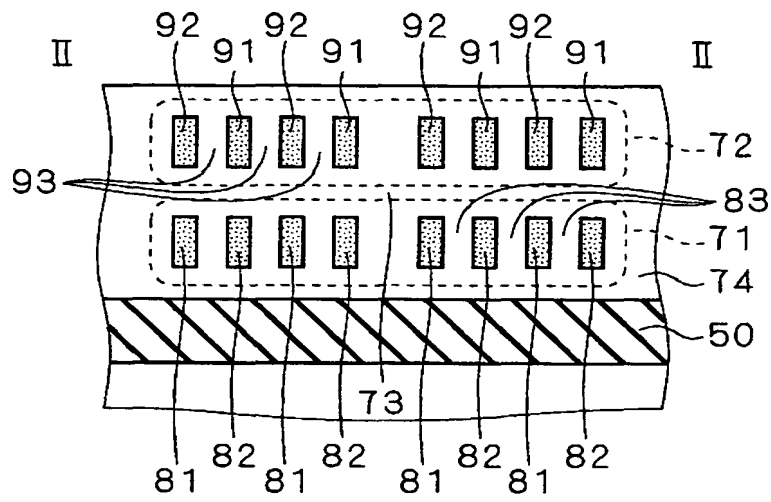
【図 5】



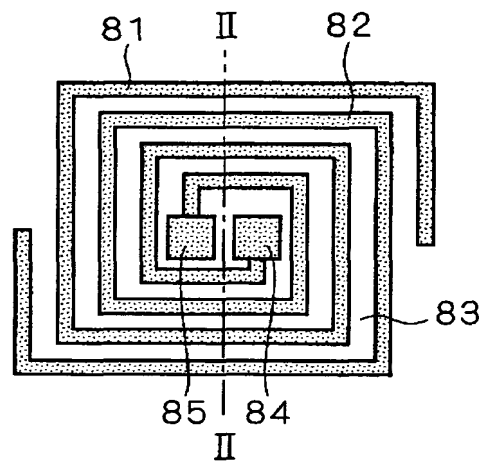
【図 6】



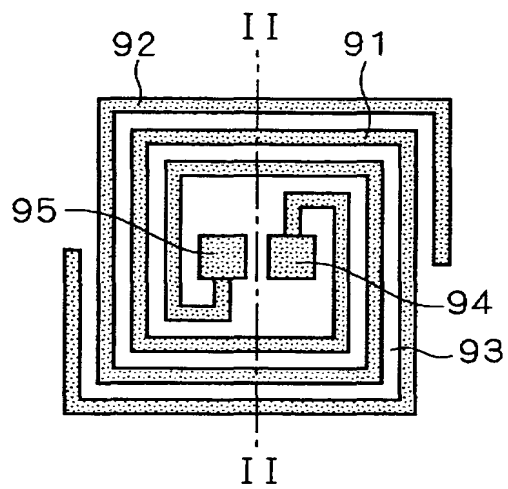
【図 7】



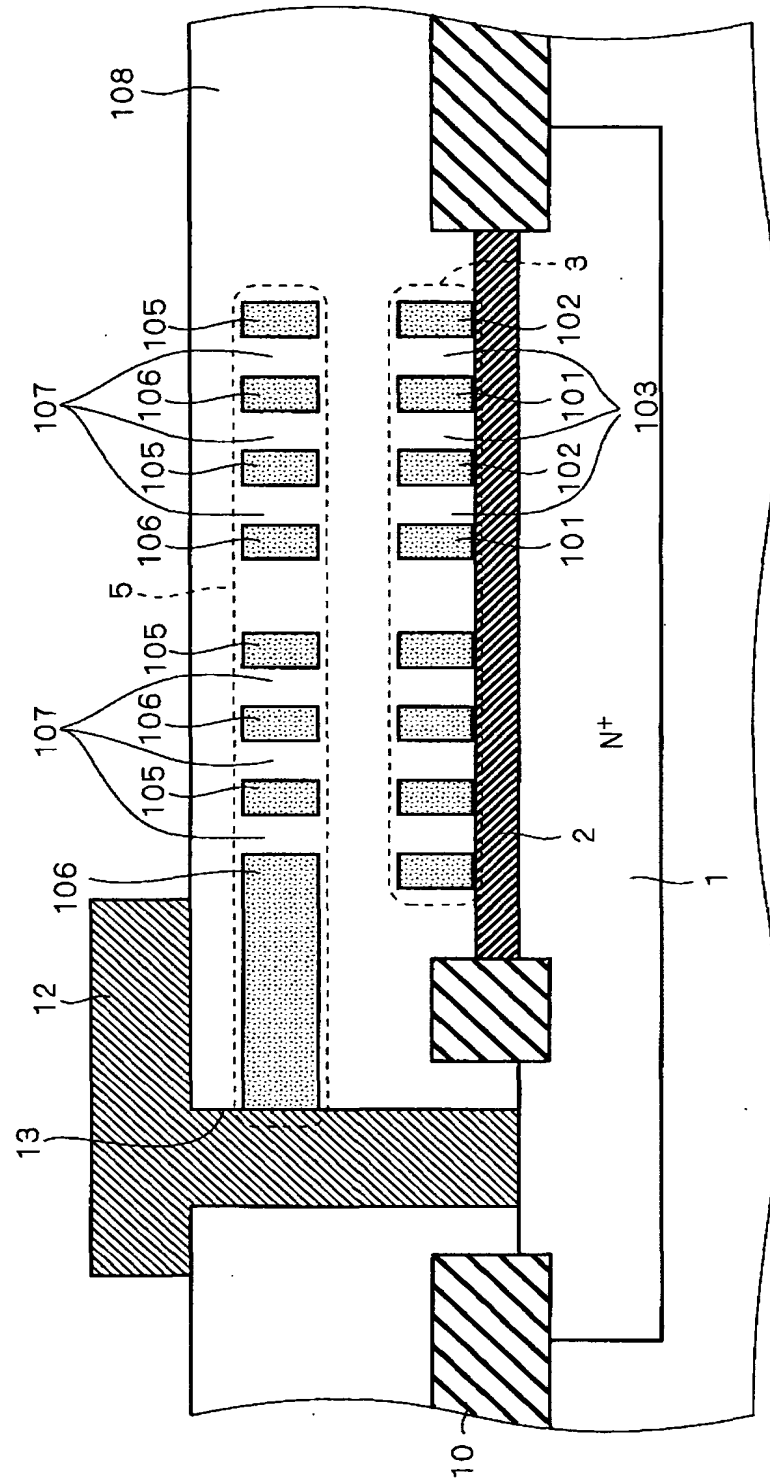
【図 8】



【図9】



【図 10】



【書類名】 要約書

【要約】

【課題】 MOSキャパシタとP o l y - P o l yキャパシタの積層キャパシタを備える半導体装置において、過度の微細加工が不要な構造の半導体装置を提供する。また、製造プロセスや製造コストの増加を抑え、キャパシタンス密度を上げることができる半導体装置を提供する。

【解決手段】 半導体基板上にN型又はP型ドーパントでドーブした高電導拡散層1が形成される。高電導拡散層1の表面に、高電導拡散層1を酸化することでゲート酸化膜2が形成される。ゲート酸化膜2上にN型又はP型ドーパントでドーブした第1ポリシリコン層3が形成される。第1ポリシリコン層3上に誘電層4が形成される。誘電層4上にN型又はP型ドーパントでドーブした第2ポリシリコン層5が形成される。絶縁層11上の第1アルミ配線は、コンタクトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電氣的に接続されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社